

コンピュータ工学 講義プリント(7月3日)

デジタル回路を理論どおりに動作させるために、いくつか気をつけなければならない点がある。今回は、その様な点について、いくつかの例を挙げて説明する。

・バイパスコンデンサ(パスコン)

デジタル IC の電源端子の近くには、バイパスコンデンサと呼ばれる(通常は省略してパスコンと呼ぶ)、コンデンサを必ず付ける。パスコンを付けないと、電源電圧が変動し、IC が誤作動するからである。

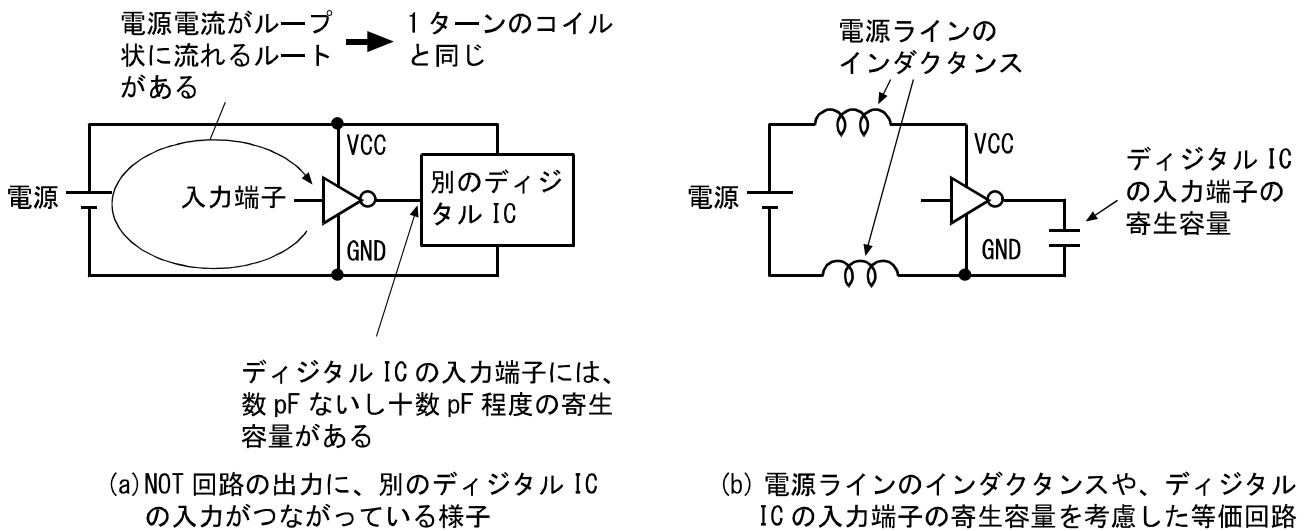


図 1、回路図上のデジタル回路と現実のデジタル回路

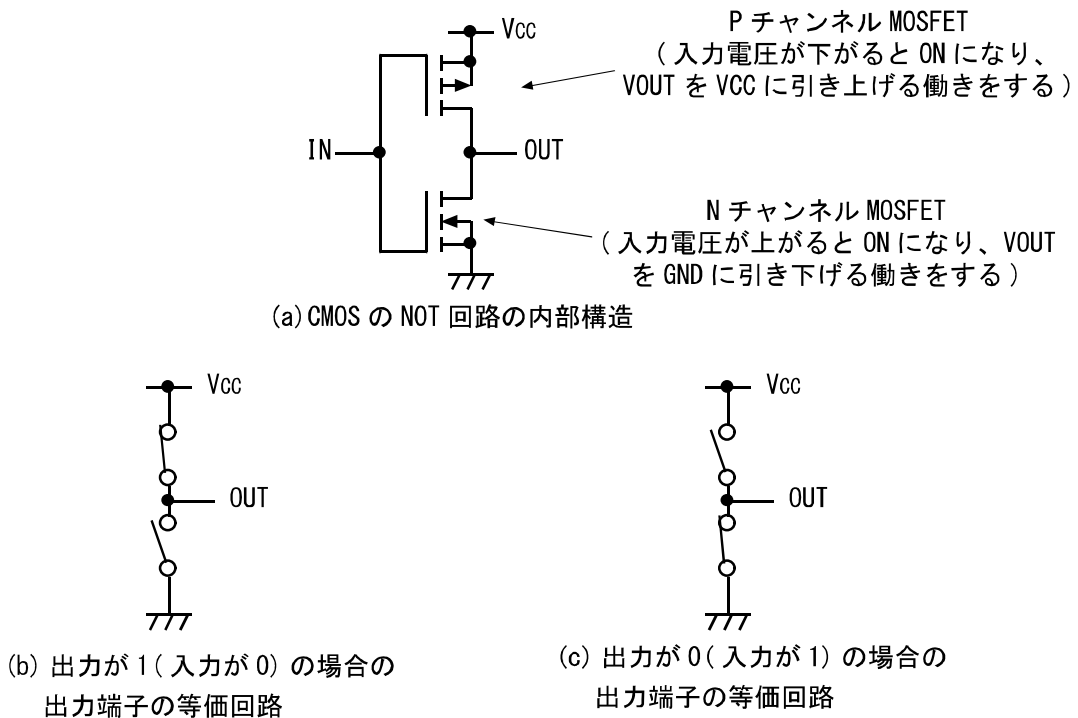


図 2、CMOS の NOT 回路の内部構造

図 1(a)は、NOT 回路を電源に接続し、さらに出力端子を別のデジタル IC につないだ様子を示している。

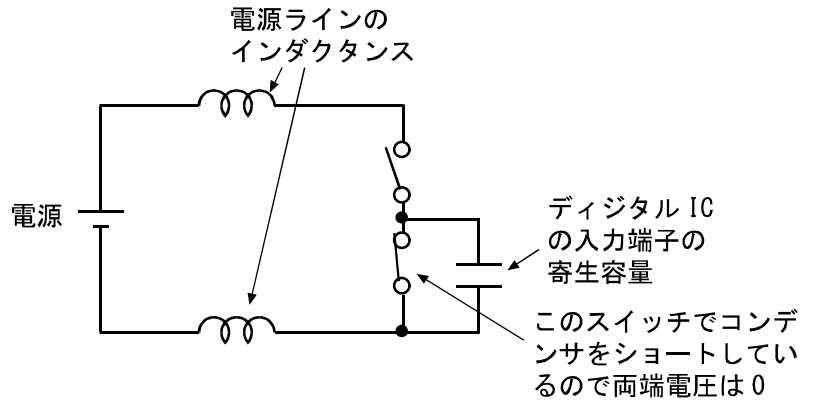
電源ライン(電源の配線)には、図に示したように、ループ状に電源電流が流れる。このループは、1 ターンのコイルとみなす事もでき、当然わずかながらインダクタンスが存在する。よって電源ラインは、単なる配線とみなす事はできない。(また電源ラインの配線には、抵抗もあるが、通常は抵抗の影響よりインダクタンスの影響の方が大きい)

また、デジタル IC の入力端子には、必ず数 pF~十数 pF 程度の寄生容量がある。さらには、信号線と電源ラインの間にも、寄生容量がある。

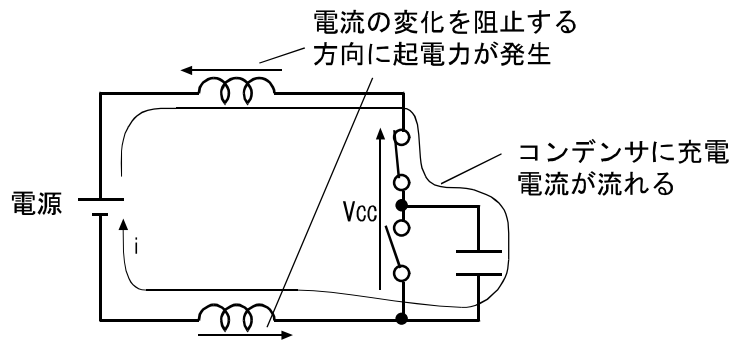
これらのインダクタンスや寄生容量を考慮して描いた等価回路が図 1(b)である。この様に、回路設計する際は、回路図に描かれていないコイルやコンデンサなどが実際の回路には存在する事を意識する必要がある。

図 2(a)に、CMOS 構成の NOT 回路の内部構造を示す。P チャンネル MOSFET は、入力電圧が高い時に ON となり、逆に N チャンネル MOSFET は、入力電圧が低いときに ON となるスイッチとして働く。その結果、入力が 0 の時の出力端子の等価回路は図 2(b)の様になり、1 が出力される。また、入力が 1 の時の出力端子の等価回路は図 2(c)の様になり、0 が出力される。

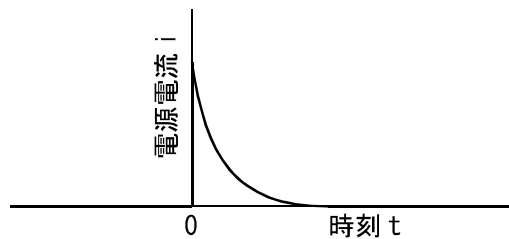
図 1(b)の回路では、NOT 回路の出力にコンデンサがつながっている。最初出力が 0 だとして(図 3(a)参照)、時刻 $t = 0$ において出力が 1 に切り替わると、図 3(b)の様に、コンデンサにスパイク状の充電電流が流れる。その充電電流の波形を図 3(c)に示す。コイルは図 4 の様に、電流が変化すると、電流の変化を妨げる



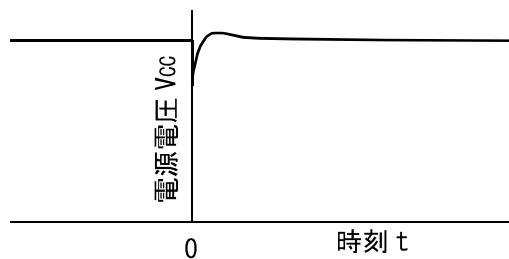
(a) 初期状態 (出力 0)



(b) 出力が 1 に変わった直後の状態



(c) 電源電流の波形



(d) 電源電圧の波形

図 3、出力電圧切り替え時の電源電圧の変動

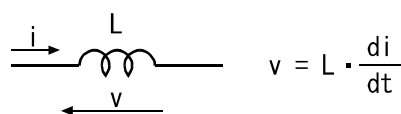


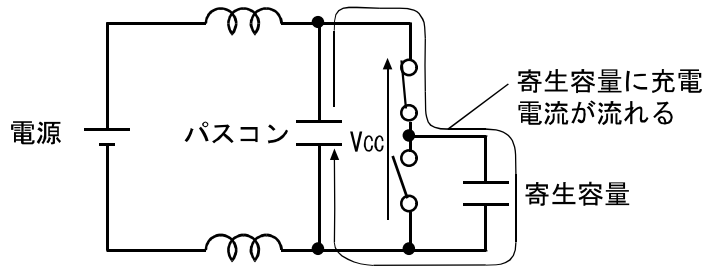
図 4、コイルに発生する起電力

方向に電圧が発生するため、NOT 回路に加わる電源電圧 V_{CC} は、図 3(d)の様に変動する。この電源電圧の変動が、デジタル IC の誤作動の原因になる事がある。

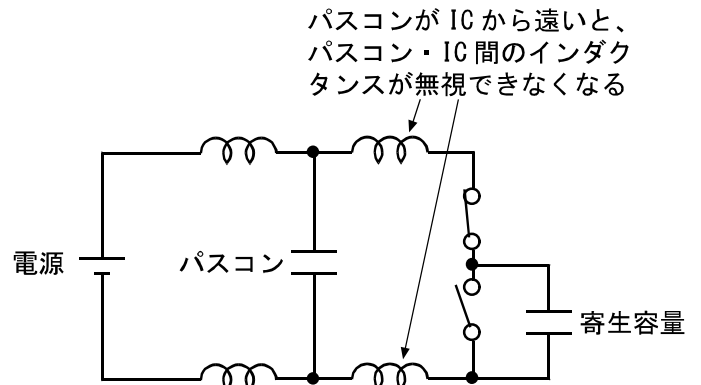
この電源電圧の変動を緩和するために使われるのが、バイパスコンデンサ(パスコン)である。図 5(a)の様に、NOT 回路の近傍にパスコンを配置すると、コンデンサの充電電流が電源ではなく、パスコンから供給される。なぜなら、図 6 に示すように、コンデンサには両端電圧が変化すると、その変化を妨げる向きに電流を供給する性質があるからである。

そのため電源ラインのインダクタンスに流れる電流の変動が大幅に緩和され、電源電圧の変動も大幅に緩和される。電源をバイパスする形で IC に短期的な電流を供給するので、バイパスコンデンサと呼ばれる。

パスコンを付けても、IC から遠いところに付けると、図 5(b)の様に、パスコンと IC の間にインダクタンスが発生するので、パスコンの効果が悪くなってしまう。パスコンは IC にできるだけ近づけて配置するのが鉄則である。図 7 に、前回の講義で紹介した電子サイコロの、汎用ロジック IC の周辺の写真を示す。IC のすぐ近くにパスコンが付いている様子が分かる。



(a) パスコンを IC 近傍につけて出力が 1 に変わった直後の状態



(b) パスコンと IC が遠い場合

図 5、IC にパスコンをつけた場合の等価回路

$$i = C \cdot \frac{dv}{dt}$$

図 6、コンデンサに流れる電流と両端電圧の関係

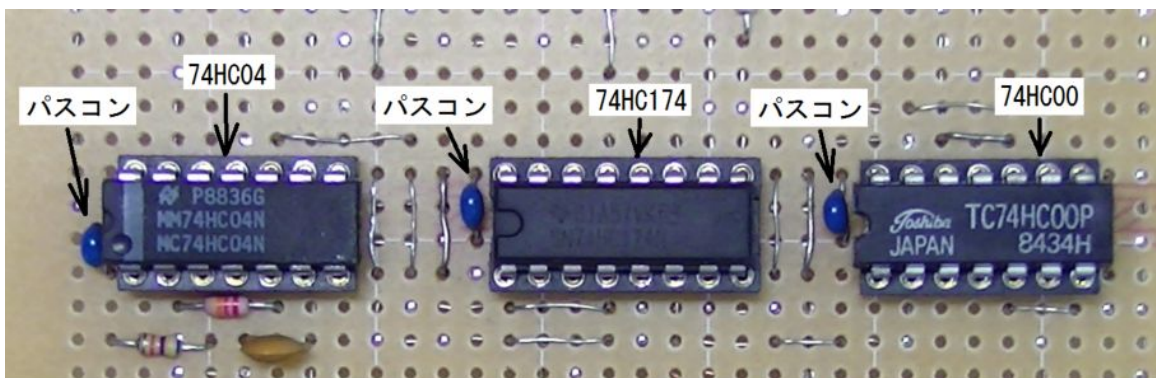


図 7、電子サイコロで用いたパスコン

なお、現実のコンデンサは、図 8 に示すように、コンデンサに直列に、寄生抵抗や寄生インダクタンスが付いている。パスコンに使うコンデンサには、寄生抵抗や寄生インダクタンスの少ないセラミックコンデンサが用いられる。また、パスコンの容量は、大きいほど電流供給能力が大きくなるが、あまり大きい値を選ぶと、パスコンの形状が大きくなり、寄生イン

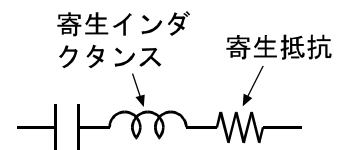


図 8、実際のコンデンサの等価回路

ダクタンスが増えてしまう。 $0.01\mu\text{F}\sim 0.1\mu\text{F}$ 程度の容量を選ぶと良い結果を得られる事が、経験的に知られている。

・CMOS ICの空き入力端子処理

図2(a)は、CMOS構成のNOT回路の内部構造を示す図であるが、NOT回路に限らず、CMOSのデジタルICの出力段は、VCC・GND間に、PチャンネルとNチャンネルのMOSFETが直列に接続された構造を取る。この様な出力段の構造を、トータムポール出力構造と呼ぶ。

図2(a)のPチャンネルMOSFET(上側のMOSFET)は、入力電圧が十分高く、VCCに近いときは、OFFになる。また、入力電圧が十分低く、GNDに近いときは、ONになる。

逆に、同図のNチャンネルMOSFET(下側のMOSFET)は、入力電圧が十分高く、VCCに近いときは、ONになる。また、入力電圧が十分低く、GNDに近いときは、OFFになる。

この様に、PチャンネルMOSFETとNチャンネルMOSFETが排他的にONになる構造を持っているため、CMOS構成のデジタルICは、入力信号が変化せず、かつ出力負荷がない場合は、ほとんど電力を消費しないという利点がある。(TTLの場合は、入力信号が変化しなくても、電力を消費する)

ただし、入力電圧がスレッシュホールド電圧付近、つまりVCCとGNDのちょうど中間くらいの電圧が掛かる場合は話が違って来る。この状況では、PチャンネルMOSFETも、NチャンネルMOSFETもONとOFFの中間の性質を示し、どちらもある程度の電流を流してしまう。そのため、図9に示すように、たとえ負荷が繋がっていなくとも、VCCからPチャンネルMOSFETとNチャンネルMOSFETを通じてGNDへ電流が流れる経路ができてしまう。この時流れる電流を貫通電流と呼ぶ。

貫通電流が流れると、消費電力が増え、それに伴ってICが発熱する。最悪の場合は、ICの故障の原因になる。貫通電流が流れないようにするには、図10の様に、使っていない入力端子をプルアップまたはプルダウンして、スレッシュホールド電圧付近の電圧が入力されないようにする必要がある。

一方で、使っていない出力端子は、未接続のまま放置しても良い。

TTLの場合は、スレッシュホールド電圧付近の入力電圧でも、極端な貫通電流は流れず、また、入力端子はTTL内部でプルアップされているため、使っていない入力端子を未接続のまま放置する事が可能である。

・チャタリング

得点表示回路の設計の話でも説明した事であるが、スイッチから信号を入力する場合、チャタリングが発生する事に注意する必要がある。

図11(a)の様な回路で、スイッチの状態をデジタル回路に入力しようとする時、ONからOFFあるいはOFFからONに切り替わる際に、一時的に接点の状態が不安定になり、電圧が0VとVCCの間でふらつく現象が生じる。これがチャタリングである。

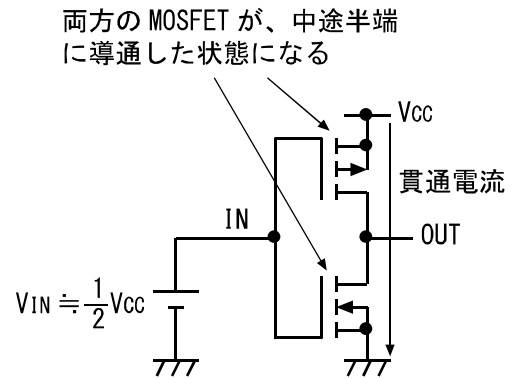


図9、貫通電流の発生の仕組み

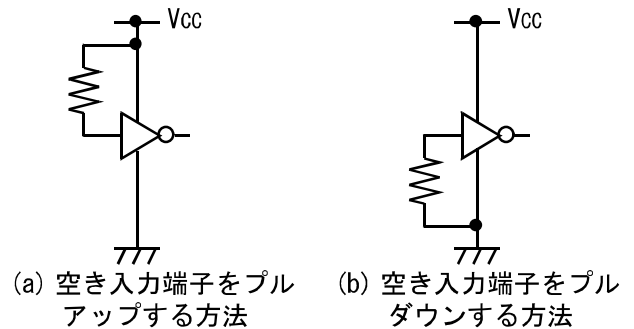


図10、空き入力端子の処理方法

ここでは抵抗を用いてプルアップまたはプルダウンしているが、入力端子を直接VCCまたはGNDに接続しても良い。

チャタリングが発生すると、例えばスイッチのボタンを押した回数を数える回路などでは、実際にボタンを押した回数よりも、多く計数されてしまうため、問題が生じる。

チャタリングの影響をなくすための手法はいくつもあるが、例えば、図 12(a)に示す様な、シュミットトリガ入力 of デジタル IC と、CR 時定数回路を組み合わせた、チャタリング除去回路を用いる方法がよく使われる。

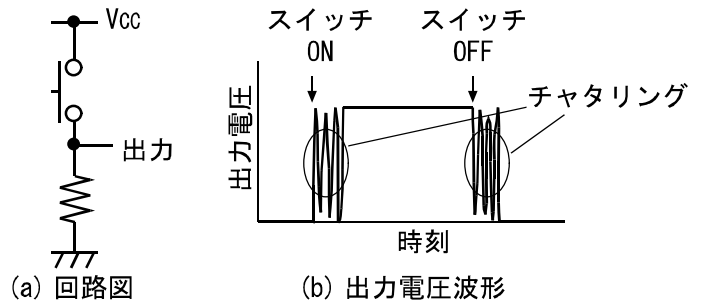


図 11、チャタリングの発生

この回路に使われている NOT 回路には、シュミットトリガ入力と呼ばれる、特殊な入力回路を用いている。シュミットトリガ入力のデジタル IC は、電圧が徐々に減少し、論理 1 から論理 0 に切り替わる際のスレッシュホールド電圧(V_{th1})と、電圧が徐々に増加し、論理 0 から論理 1 に切り替わる際のスレッシュホールド電圧(V_{th2})が異なり、 $V_{th1} < V_{th2}$ となっている。シュミットトリガ入力の NOT 回路の入出力電圧特性を図 13 に示す。

この様に、波形の立下り時と立ち上がり時のスレッシュホールド電圧に差がある性質の事をヒステリシスと呼ぶ。また 2 つのスレッシュホールド電圧の差 $V_{th2} - V_{th1}$ をヒステリシス電圧と呼ぶ。

図 14(a)は、図 12(a)のチャタリング除去回路から CR 時定数回路のみを抜き出したものである。

この CR 時定数回路において、スイッチが OFF の場合は、コンデンサ C は、抵抗 R_1 および R_2 を介して、電源電圧 V_{CC} で充電される。コンデンサが十分放電された後に時刻 $t = 0$ でスイッチが OFF となり、チャタ

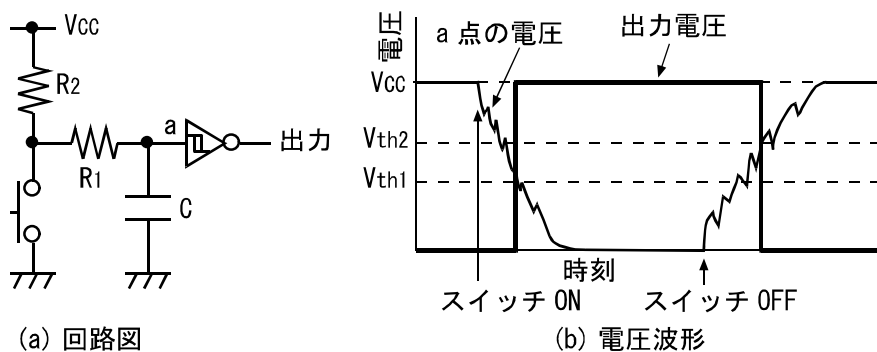


図 12、シュミットトリガ入力と CR 時定数を用いたチャタリング除去回路

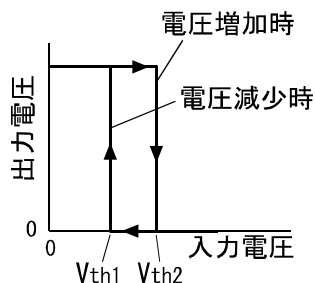


図 13、シュミットトリガ入力の NOT 回路の入出力電圧特性

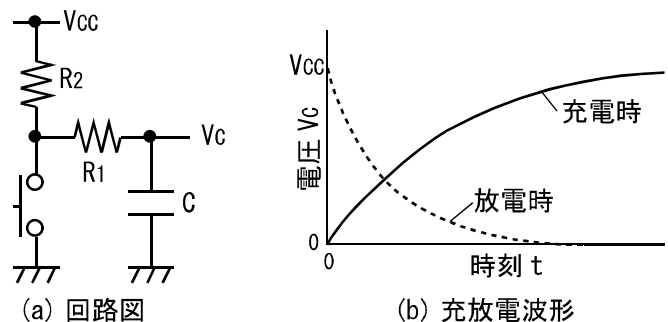


図 14、CR 時定数回路における、コンデンサの充放電波形

(b) では、スイッチにチャタリングがないものとして波形を描いている。

リングの影響が無視できるものとする、コンデンサの電圧 V_C は次の式で表される。

$$V_C = V_{CC} \left\{ 1 - e^{-\frac{t}{C(R_1+R_2)}} \right\} \dots (1)$$

また、スイッチが ON の場合は、コンデンサ C が抵抗 R_1 を介して放電される。コンデンサが十分充電された後に時刻 $t = 0$ でスイッチが ON となり、チャタリングの影響が無視できるものとする、コンデンサの電圧 V_C は次の式で表される。

$$V_C = V_{CC} \cdot e^{-\frac{t}{CR_1}} \dots (2)$$

式(1)および(2)をグラフに表したものが図 14(b)である。スイッチが ON から OFF に切り替わった場合(充電時)にせよ、ON から OFF に切り替わった場合(放電時)にせよ、コンデンサの電圧 V_C は緩やかに変化している事がわかる。

実際の CR 時定数回路では、スイッチにチャタリングがあるため、図 12(b)の「a 点の電圧」と示した波形の様に、ギザギザと波形が上下しながら電圧が増加あるいは減少する。このギザギザの変動幅がシュミットトリガ入力回路のヒステリシス電圧よりも低ければ、出力電圧にはチャタリングの影響が現れない。

時定数 $C(R_1 + R_2)$ および CR_1 を大きく設定すれば、ギザギザの変動幅を小さくできる。しかしあまり時定数を大きく設定すると、スイッチを操作してから出力にそれが反映するまでの時間が増加し、すばやくスイッチを操作した場合に反応しなくなる恐れが出てくる。一般的には、時定数を数十 ms ないし数百 ms に設定すれば、良い結果を得られる。

・ハザード

図 15(a)の回路は、ブール式 $b = a + \bar{a}$ を計算する回路である。 $a + \bar{a} = 1$ であるから、 b には必ず 1 が出力されるはずであるが、実際には、図 15(b)の様に、NOT 回路の伝播遅延時間の影響で、 a と \bar{a} が同時に 0 になる瞬間が発生し、 b が 0 になる瞬間が出てくる。この様に、伝播遅延時間の影響で、想定しなかった出力が一瞬出る現象をハザードと呼ぶ。

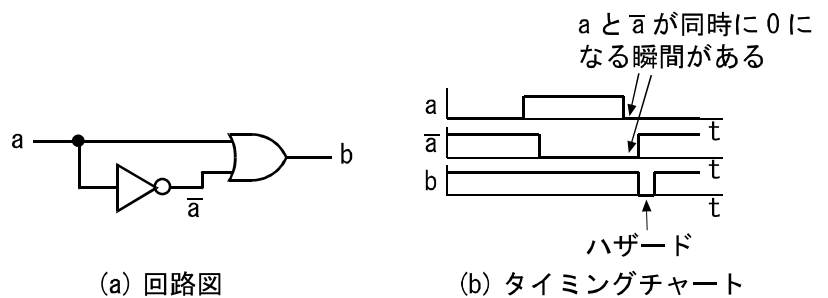


図 15、ハザードの発生原理

ハザードは、例えば次の様な回路で発生する。

図 16 のタイミングチャートに示すように、クロック信号 C_k を入力すると、4 クロックに 1 クロックの割合で出力に 0 が出てくる回路を作りたいとする。このタイミングチャートの回路は、例えば図 17(a)に示すように、T-FF2 個で作った 2 ビットの非同期バイナリカウンタと、1 個の OR 回路からなる回路で、原理的には実現できる。

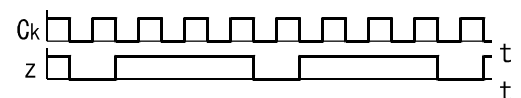


図 16、設計したい回路のタイミングチャート

図 17(b)は、伝播遅延時間を考慮せずに描いた図 17(a)の回路のタイミングチャートである。 a を下位ビット

ト、 b を上位ビットの2桁の2進数と解釈すると、図17(a)の中で点線で囲まれた部分の回路は、 $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \dots$ と、 $0 \sim 3$ の数字をサイクリックに数えるカウンタになっている事が分かる。 a と b の論理和(OR)を取れば、カウンタの値が0の時だけ0が出力され、カウンタの値が1~3の場合は1が出力されるので、図16と同じ波形が出力 z に出てくる事が分かる。

しかしながら、伝播遅延時間を考慮してタイミングチャートを描くと、図17(c)に示すように a と b が同時に0になる瞬間が発生するため、出力 z にはハザードが発生する。

このハザードをなくすには、図18(a)に示すように、OR回路の出力を一旦D-FFに入力し、クロック C_k で同期させればよい。図18(b)のタイミングチャートを見ると、OR回路の出力(c)にはハザードが発生しているが、D-FFの出力(z)ではハザードが消えている様子が分かる。ただし、本来のタイミングより1クロック遅れて信号が出力されている。

一方で、ハザードの発生する回路の出力にD-FFを付けてハザードを消すのではなく、本質的にハザードの発生しない回路構成を採用する方法もある。

図19に示す方法は、ワン・ホット・ステート・カウンタと呼ばれるカウンタを使った方法である。

図19(a)において、点線で囲まれた部分がワン・ホット・ステート・カウンタである。図19(b)のタイミングチャートを見ると分かるように、4つのD-FFの出力 a, b, c および d は、それらの内必ず1つが1になり、他の3つが0になる。1になる出力が必ず一つになるので、ワン・ホット・ステート・カウンタと呼ばれる。(ワン・ホット・ステートとは、1を出力するビットが1つという意味)

$a \sim d$ は、いずれもD-FFの出力なので、ハザードがなく、またタイミングチャートより、4クロックの内1クロックだけ1になっている事が分かる。図16の様に、4クロックの内1クロックだけ0になるような信号を得るには、 $a \sim d$ の内いずれかの信号を、NOT回路で論理反転すればいいことが分かる。図19(a)の回路では、 d を論理反転して出力 z を得ている。

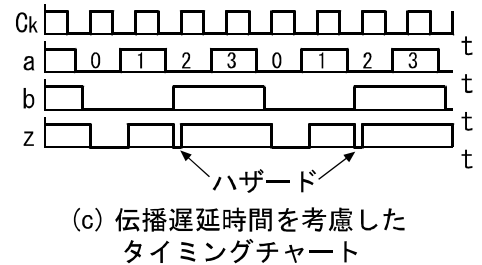
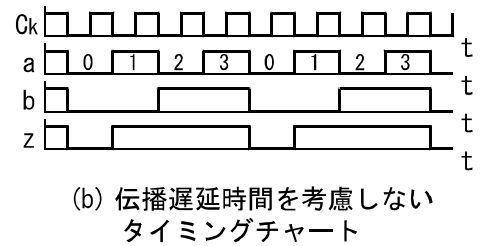
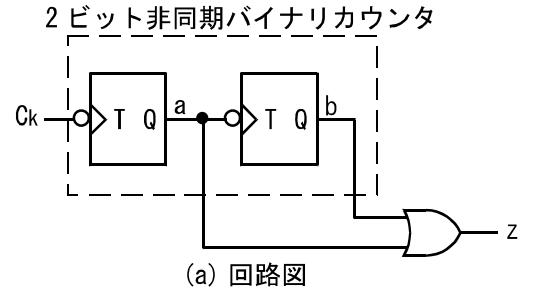


図17、ハザードの発生する回路の例

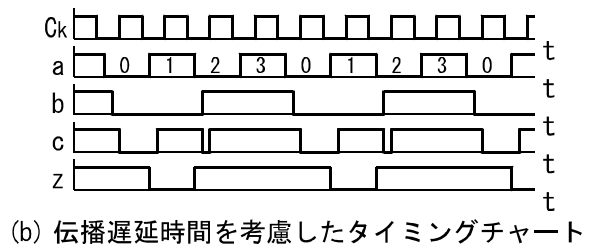
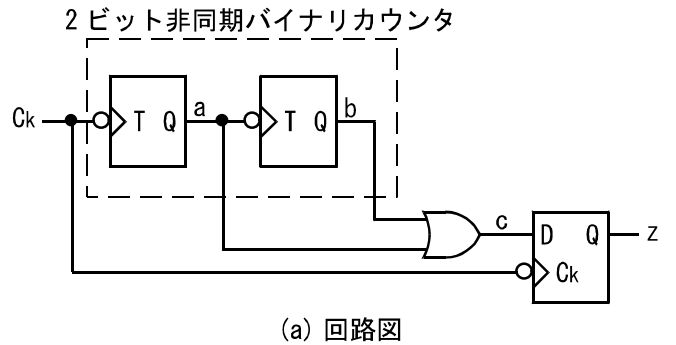
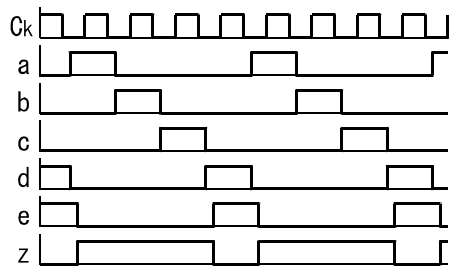
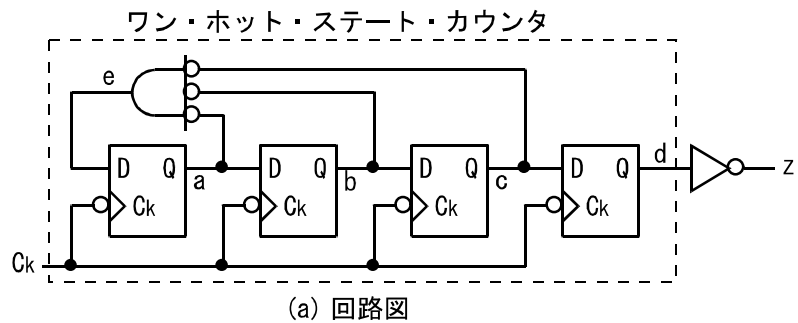


図18、D-FFでハザード対策した例



(b) 伝播遅延時間を考慮したタイミングチャート

図 19、ワン・ホット・ステート・カウンタを用いた
ハザード対策